



Home



Search



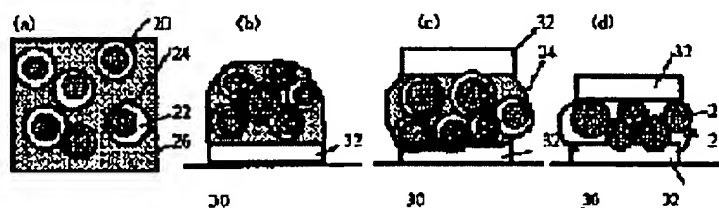
List

☐ Include**MicroPatent® PatSearch FullText: Record 1 of 1**

Search scope: US Granted US Applications EP-A EP-B WO JP ; Full patent spec.

Years: 1971-2002

Text: Patent/Publication No.: JP2000223831

[Order This Patent](#)[Family Lookup](#)[Citation Indicators](#)[Go to first matching text](#)

JP2000223831 A

PASTE SOLDER FOR SURFACE MOUNT BY BGA AND METHOD THEREFOR  
YUKEN KOGYO KK

Inventor(s):NOMURA MASABUMI ;SAKAKIBARA TSUKASA ;KUSUNOKI YOSHINORI

Application No. 11026390 JP11026390 JP, Filed 19990203,A1 Published 20000811Published 20000811

**Abstract: PROBLEM TO BE SOLVED:** To ensure a distance between an IC package and a circuit board and improve the strength of juncture by adding metal particles with a melting point higher than that of solder particles.

**SOLUTION:** Coated metal particles 24 obtained by coating metal particles 20 with solder is turned into

paste using a flux ingredient 26. When an IC package is surface-mounted using the paste solder thus constituted, first, the solder 22 coating the metal particles 20 is melted to fill the cavities among the metal particles 20 and provide continuity and juncture with electrodes. The metal particles 20 ensure continuity by themselves and are not melted during a reflow process. Therefore, the metal particles maintain the weight of the IC and prevent deformation. Further, the presence of the metal particles 20 prevents the formation of conical solder, and thus the reduction in cross-sectional area is prevented. In addition, the breakage of junctures is prevented even under stress owing to the strength of the metal particles 20.

Int'l Class: H05K00334; B23K03522

MicroPatent Reference Number: 000223575  
COPYRIGHT: (C) 2000JPO

[Home](#)[Search](#)[List](#)

---

For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)



Home



Search



List



Back to  
Record

## MicroPatent® PatSearch FullText: Record 1 of 1

Family of JP2000223831A2

[How It Works](#)

---

Family of JP2000223831

No additional family members are found for this document

---



Home



Search



List



Back to  
Record

---

For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-223831  
(P2000-223831A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
H 0 5 K 3/34	5 1 2 5 0 7	H 0 5 K 3/34	5 1 2 C 5 E 3 1 9 5 0 7 C
B 2 3 K 35/22	3 1 0	B 2 3 K 35/22	3 1 0 A

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21) 出願番号 特願平11-26390

(22) 出願日 平成11年2月3日 (1999.2.3)

(71) 出願人 000115072

ユケン工業株式会社

愛知県刈谷市野田町場割50番地

(72) 発明者 野村 正文

愛知県刈谷市野田町場割50番地 ユケン工業株式会社内

(72) 発明者 榊原 司

愛知県刈谷市野田町場割50番地 ユケン工業株式会社内

(74) 代理人 100081352

弁理士 広瀬 章一

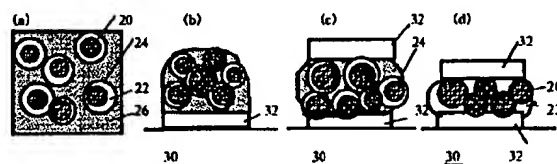
最終頁に続く

(54) 【発明の名称】 BGAによる表面実装用ペーストはんだと表面実装方法

(57) 【要約】 (修正有)

【課題】 はんだ接合部の破断、隣接する電極の短絡などの欠点を解消し、簡便かつ安価な手段でもってBGA方式でICパッケージをプリント基板に実装できる技術を開発する。

【解決手段】 はんだ粒子42、該はんだ粒子より融点が高い金属粒子40およびフラックス成分44を含むペーストはんだ、あるいは、はんだ22で被覆されている、該はんだより融点が高い金属粒子20およびフラックス成分26とからなるペーストはんだを用いる。



## 【特許請求の範囲】

【請求項1】 はんだ粒子およびフラックス成分を含むペーストはんだであって、はんだ粒子より融点が高い金属粒子をさらに含有したボールグリッドアレイによる表面実装用ペーストはんだ。

【請求項2】 はんだ粒子20～50重量%、フラックス成分5～20重量%、および金属粒子30～70重量%を含む、請求項1記載のペーストはんだ。

【請求項3】 前記金属粒子の大きさが直径0.01～0.3mmである請求項1または2記載のペーストはんだ。

【請求項4】 はんだで被覆された金属粒子とフラックス成分とを含むペーストはんだであって、該金属粒子がはんだよりも融点が高いことを特徴とするボールグリッドアレイによる表面実装用ペーストはんだ。

【請求項5】 金属粒子：80～95重量%、フラックス成分：5～20重量%、はんだ：30～50重量%の組成割合を有する請求項4記載のペーストはんだ。

【請求項6】 前記金属粒子の大きさが直径0.01～0.3mmである請求項4または5記載のペーストはんだ。

【請求項7】 請求項1ないし6のいずれかに記載のペーストはんだを、回路基板および実装部品一方または両方のパッド上にスクリーン印刷し、回路基板上にチップ部品を組立て、次いではんだの融点以上、金属粒子の融点未満の温度でリフロー処理を行うことを特徴とするボールグリッドアレイによるチップ部品の表面実装方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ペーストはんだ、特にボールグリッドアレイによる表面実装用ペーストはんだ、ならびにそれを利用してICチップ部品あるいはICパッケージを回路基板へ表面実装する方法に関する。

## 【0002】

【従来の技術】ICチップ部品あるいはICパッケージ等の実装部品（以下、ICパッケージで代表）のプリント基板あるいは配線基板（以下、回路基板という）への表面実装方法にはQFPのようにリードフレームを使用したICパッケージを回路基板にはんだで接合する方法と、ICパッケージをハンダボールを用いて回路基板にはんだ付けするBGAあるいはCSP方式による接合方法がある。

【0003】近年、LSIの大型化や高速化に伴い、入出力端子の数が増大してきており、半導体パッケージの端子ピッチが狭くなってきていることから、最近では、BGA、CSP方式による接合方法が多く用いられてきている。

【0004】ここに、BGA（CSPも含む）の現状の実装方法は、BGA方式のICパッケージおよび配線基板へのはんだの供給、組立、次いでリフロー処理による接合という一連の工程を経て行われる。特にBGA方式の場合、ICパッケージと回路基板との接合は、端子の間の距離がますます小さくなってきており、一方、端子の数も

ますます増加しているから、それらについてすべて良好なはんだ付けを実現するにはかなりの高信頼性のはんだ付けが行われる必要がある。

【0005】図1は、BGA方式によるICパッケージと回路基板との接合の様子を示す模式図である。なお、以下において説明を簡単にするために便宜上電極パッドと電極パッドを接合するとして本発明を説明する。

【0006】図1に示すようにBGA方式による表面実装方法によれば、ICパッケージ10の電極パッド上にはんだボール12をグリッド状に配置し、これと同じパターンで電極パッド（破線の交点で示す）を配したプリント基板14上に、図中、矢印で示すように反転させて乗せる。このようにして用意されたはんだ付け組立体をはんだの融点以上の温度に加熱するリフロー処理によりハンダボールを溶解しBGA方式のICパッケージをプリント基板に接合する。

【0007】このときの様子を側面から見ると、図2(a)のように、BGA方式のICパッケージ10をプリント基板14上にのせたときは、上下の電極パッド16の間にはんだボール12が挟まれた状態ではんだ組立体が構成される。これをリフロー処理すると、はんだが溶け、そのときのリフロー温度およびはんだボールの大きさ等によって、はんだ接合部18の断面形状は、図2(b)または図2(c)のように、断面凹、断面凸状になる。

【0008】例えば、特開平8-99189号公報には、BGAの bumps 形成に2種のはんだ合金粉末を使用するクリムはんだを用いる方法が開示されている。しかし、この方法ははんだ bumps の位置ずれを防止することを目的にしており、各はんだ合金粉末の液相線温度はリフロー温度より低温である。

【0009】特開平9-198916号公報には、例えばポリスチレン樹脂粒子である球状高分子粒子を導電層で被覆して、これをさらにはんだ層で被覆した微粒子が開示されている。球状高分子粒子を用いるのは、はんだボールによる接合に際して基材間の熱膨張率の違い等により応力が生じるが、それを吸収することができるからであり、また非導電性である高分子粒子がそれ自体耐熱性を備えているからである。なお、この場合には、球状高分子粒子はリフロー処理によっても変形しないから、例えば図2(a)の形状のままはんだ付けされる。

## 【0010】

【発明が解決しようとする課題】しかしながら、特開平8-99189号公報に開示する方法では、位置ずれが防止できたとしても、はんだ bumps を形成してパッケージに組立てた場合、例えば図2(b)、(c)の状態ではICに通電するとICパッケージ10内で発熱し、図3(a)、(b)の矢印方向の熱膨張によりはんだ接合部18に応力がかかる。また熱平衡に達した時点ではプリント基板14の熱膨張が大になると反対方向に応力が生じ、これが繰返されることにより接合部のくぼみ部に疲労によるクラックが

生じさらには破断に至り導通不良が発生する。図3(a)、(b)参照。

【0011】さらに、最近の高集積化によりICチップ自体が大きくなりICパッケージの重量が増大する傾向にある。それゆえICパッケージ10の実装時にリフロー処理で溶融したハンダがICチップの重量に押しつぶされ、図4の矢印で示しような方向に変化が生じ、隣接する電極間で短絡が発生する事故が予想される。

【0012】また、特開平9-198916号公報の場合には、BGAによるICパッケージの各電極パッド上に確実に一つのはんだ粒子を載せることはスクリーン印刷を用いたとしてもかなり困難である。

【0013】したがって、本発明の課題は、従来のはんだパンプに見られる上述のような欠点を解消し、簡便かつ安価な手段でもってBGA方式による実装部品を基板に実装できる技術を開発することである。

【0014】

【課題を解決するための手段】上述のような課題を解決すべく、本発明者らが種々検討を重ねた結果、はんだ付け温度でも溶融しない金属粒子をはんだ粒子とともに、あるいはそのような金属粒子をはんだで予めコーティングして得た複合粒子をペースト化することを着想した。

【0015】このようにして得たペーストはんだをスクリーン印刷にてICパッケージ上にパターン化して適用し、このようにして各電極パッド上にペーストはんだを設けたICパッケージを回路基板上に実装し、リフロー処理によりハンダ接合したところ、ICパッケージと回路基板とは複数の金属粒子を介在させて接合が行われ、しかもその際、各金属粒子があたかもセメント組成物の骨材のように作用して、ICパッケージと回路基板との離間距離の確保および接合強度の大幅な改善が実現されたことを知り、本発明を完成した。

【0016】ここに、本発明は、次の通りである。

(1) はんだ粒子およびフラックス成分を含むペーストはんだであって、はんだ粒子より融点が高い金属粒子をさらに含有したボールグリッドアレイによる表面実装用ペーストはんだ。

【0017】(2) はんだ粒子20~50重量%、フラックス成分5~20重量%、および金属粒子30~70重量%を含む、上記(1)記載のペーストはんだ。

(3) 前記金属粒子の大きさが直径0.01~0.3mmである上記(1)または(2)記載のペーストはんだ。

【0018】(4) はんだで被覆された金属粒子とフラックス成分とを含むペーストはんだであって、該金属粒子がはんだよりも融点が高いことを特徴とするボールグリッドアレイによる表面実装用ペーストはんだ。

【0019】(5) 金属粒子: 30~70重量%、フラックス成分: 5~20重量%、はんだ: 30~50重量%の組成割合を有する上記(4)記載のペーストはんだ。

(6) 前記金属粒子の大きさが直径0.01~0.3mmである上

記(4)または(5)記載のペーストはんだ。

【0020】(7) 上記(1)ないし(6)のいずれかに記載のペーストはんだを、回路基板および実装部品の一方または両方のパッド上にスクリーン印刷し、回路基板上にチップ部品を組立て、次いではんだの融点以上、金属粒子の融点未満の温度でリフロー処理を行うことを特徴とするボールグリッドアレイによるチップ部品の表面実装方法。

【0021】

【発明の実施の形態】次に、図5、図6を参照して本発明の実施の態様をさらに具体的に説明する。なお、図5にあつては各金属粒子がはんだによって被覆されている場合を例にとって説明するが、図6は、金属粒子とはんだ粒子とをフラックス成分とともにペースト化して用いる場合を示す。

【0022】図5(a)は、本発明にしたがって構成したペーストはんだの模式的説明図であり、図中、金属粒子20はその周囲をはんだ22(白抜きで示す)で被覆されており、このような被覆金属粒子24がフラックス成分26によってペースト化されている。

【0023】このようにして得られたペーストを使用するに当たっては、図5(b)に示すように、プリント基板30の電極パッド32にスクリーン印刷される。このとき各電極パッド上には1ないし100個、一般には2個以上の複数の金属粒子を含むはんだペーストがスクリーン印刷によって供給されている。次いで、この上に同じく電極パッド32を備えた実装部品であるICパッケージ(図示せず)が載置され、はんだ付け組立体が構成される。図5(c)参照。リフロー処理後は、図5(d)に示すように、金属粒子を介してパッケージおよびプリント基板30が接続される。図5(d)中、はんだ接合部のうち白抜きで示す領域が溶融・凝固したはんだである。

【0024】このように本発明にかかるペーストはんだを用いてBGA方式のICパッケージを表面実装するときには、まず、金属微粒子にコーティングされていたハンダが溶け、金属微粒子の空ゲキを充填し、導通および電極との接合を実現する。一方、金属微粒子はそれ自体導通を確保すると共に、リフロー処理時にも溶融しないからICの重量を保持し変形(つぶれ)を防止する効果を発揮する。また、金属粒子の存在がハンダのコニカル(凹部)の形成を防ぐため、断面積の減少の防止が図られ、同時に金属粒子の強度により、応力がかかっても接合部の破断を防止することができる。

【0025】図6(a)ないし(c)は、金属粒子40とはんだ粒子42とをフラックス成分44を使ってペースト化したはんだペーストを用いた場合を示す。図6(a)ないし(c)は、それぞれ図5(a)ないし(c)に相当するものであつて、はんだペーストの構成が異なる点を除いて、実装操作は同様であり、最終的にリフロー処理によって得られたはんだ接合も、図5(d)に同じである。

【0026】本発明において使用する金属粒子は、使用するはんだより高い融点の金属であれば制限はないが、一般には銀、銅、ニッケルあるいはそれらの合金等から構成されるが、導電性およびコストの観点からは銅が好ましい。その粒径は、スクリーン印刷性を阻害しないものであれば特に制限はされないが、ICパッケージと回路基板との離間距離が通常は0.1～1mmが求められるから、その間を複数個、通常は10～100個で接続するように構成するから直径0.3～0.01mmとする。

【0027】ここに、本発明において使用できるはんだで被覆した金属粒子は、電気めっき法、熔融はんだめっき法、蒸着法などによって製造できる。

【0028】例えば、電気めっき法の場合、はんだ成分を適宜化合物の形態で水溶液または熔融塩に溶解してめっき浴を構成し、これに金属粒子を適宜容器に入れて浸漬して陰極として電気めっきを行えばよい。

【0029】さらに熔融はんだめっき法によれば、はんだを熔融してこれに別途用意した金属粒子を投入してから引上げれば、各金属粒子の表面にはほぼ均一な被覆が形成される。本発明の1つの態様において、金属粒子とはんだ被覆そしてフラックス成分の組成割合は、次の通りである。

【0030】

金属粒子 : 30～70、好ましくは50～70重量%  
はんだ被覆 : 30～50、好ましくは20～30重量%  
フラックス成分 : 5～20、好ましくは10～15重量%  
本発明の別の態様において、金属粒子とはんだ粒子、そしてフラックス成分の配合割合は、次の通りである。

【0031】

金属粒子 : 30～70、好ましくは60～70重量%  
はんだ粒子 : 20～50、好ましくは20～30重量%  
フラックス成分 : 5～20、好ましくは10～15重量%  
ここに、はんだ成分としては、従来より、ICパッケージの表面実装に用いられているものでよく、例えば60Pb-40Sn はんだが例示される。リフロー処理によって熔融後に金属粒子とともに所定の強度が確保できればよい。

【0032】フラックス成分としても従来のもを用いればよく、本発明においても特に制限はない。代表的には、ロジン系フラックスがある。次に、本発明によるICパッケージのような実装部品の表面実装方法を説明すると次の通りである。

【0033】まず、上述のような各成分を所定量だけ混合してペースト化してペーストはんだとする。このようにして用意されたペーストはんだを、例えば慣用のスクリーン印刷法によってICパッケージの各電極パッド上に印刷する。各電極パッド上に金属粒子がほぼ10～100個宛供給されるようにするのが好ましい。

【0034】スクリーン印刷後、ICパッケージを回路基板の上に載せて、はんだ付け組立体としてから適宜加熱炉に装入してリフロー処理を行う。このときのリフロー

温度は、はんだの熔融温度よりも高く、金属粒子の熔融温度よりも低い温度とする。なお、リフロー処理それ自体はすでに公知であって、本発明においても上述の温度条件以外はそのような公知の方法に準じて行えばよい。かくして、本発明によれば、簡便な操作でもって確実なかつ高強度のはんだ接合部が得られるのである。

【0035】

【実施例】本例では、図5に示す要領で回路基板にICパッケージの表面実装を行った。下記組成のペーストはんだを調製し、格子状に多数設けたICパッケージの電極パッド上にスクリーン印刷によってはんだ層を設け、これを回路基板の上に搭載した。このようにしてはんだ組立体とし、これを次いでリフロー処理により、はんだバンプを形成して接合した。

【0036】本例で使用したペーストはんだ組成は次の通りであった。

金属粒子 : 直径0.05mmの銅粒子65重量%  
はんだ被覆 : 60Sn-40Pb はんだ25重量%  
フラックス成分 : ロジン系フラックス10重量%

このようにして得られたはんだバンプの内部構成は図5(d)に模式的に示す通りであった。図示のように、本発明によって得られたはんだバンプは金属粒子を骨材のように含むはんだ層から構成され、回路基板とICパッケージの電極パッド部とを所定間隔を設けて極力に接合していることが分かった。

【0037】このようにして得たBGA パッケージ搭載回路基板にシェアー試験を行ったところ、剪断強度は1バンプ当たり 800gであった。

【0038】

【発明の効果】以上説明してきたように、本発明によれば、従来のようにはんだバンプがICパッケージの重量によって熔融時に押し出されることもなく、接合部におけるくぼみ部の形成が阻止される結果、所定間隔が確実に確保され、接合強度が大幅に改善され、そしてこれらは単に従来法によるスクリーン印刷によって実現できる等、その実際上の利益は大きい。

【図面の簡単な説明】

【図1】BGA 方式によるICパッケージと回路基板との接合の模式的説明図である。

【図2】従来法によるプリント基板とICパッケージとの接合の様子を説明する図であり、図2(a)はリフロー処理前、図2(b)、(c)はリフロー処理後のそれぞれ接合部の断面図である。

【図3】図3(a)、(b)は、従来法での接合部に応力が加わったときの様子の模式的説明図である。

【図4】図4は、従来法ではんだ接合部が短絡を生じる場合の様子の模式的説明図である。

【図5】図5(a)は本発明にかかるペーストはんだの模式的説明図であり、そして図5(b)はプリント基板のそのペーストはんだをスクリーン印刷したとき、図5(c)

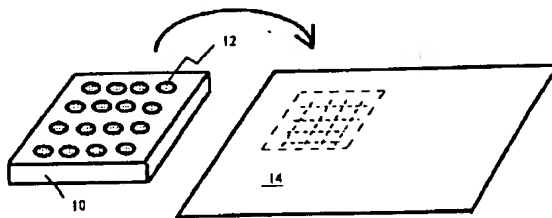
はその上にICパッケージを載せたとき、また図5(d)はリフロー処理したときのはんだ接合部の模式的説明図である。

【図6】図6(a)は本発明にかかる別の態様のペーストはんだの模式的説明図であり、そして図5(b)はプリント基板のそのペーストはんだをスクリーン印刷したとき、図5(c)はその上にICパッケージを載せたときのはんだ接合部の模式的説明図である。

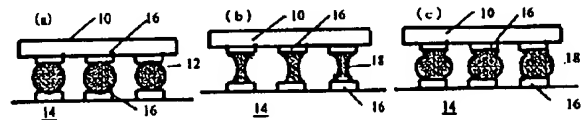
【符号の説明】

10: ICパッケージ、 12: はんだボール、 14: プリント基板、 16: 電極パッド、 18: はんだ接合部、 20: 金属粒子、 22: はんだ、 24: 被覆金属粒子、 26: フラックス成分、 30: プリント基板、 32: 電極パッド、 40: 金属粒子、 42: はんだ粒子、 44: フラックス成分

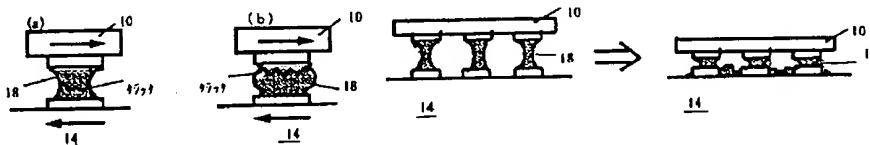
【図1】



【図2】

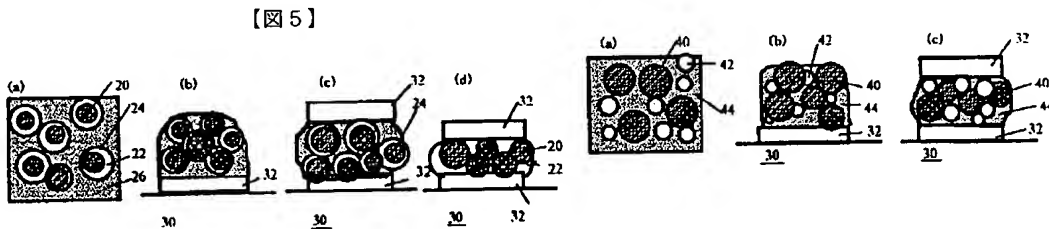


【図3】



【図4】

【図6】



フロントページの続き

(72)発明者 楠 義則

愛知県刈谷市野田町場割50番地 ユケン工業株式会社内

Fターム(参考) 5E319 AA03 AB05 AC01 BB05 CC33